

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: **06252110 A**

(43)Date of publication of application: 09.09.94

(51)Int. Cl. **H01L 21/304**
H01L 21/02

(21)Application number: 05039049

(22)Date of filing: 26.02.93

(71)Applicant: **NTT ELECTRON TECHNOL KK DOI**
TOSHIRO RODEELE NITTA KK(72)Inventor: **SAKURAI TETSUTADA**
DOI TOSHIRO
HAYASHI YONEJI(54)SEMICONDUCTOR DEVICE MANUFACTURING
DEVICE

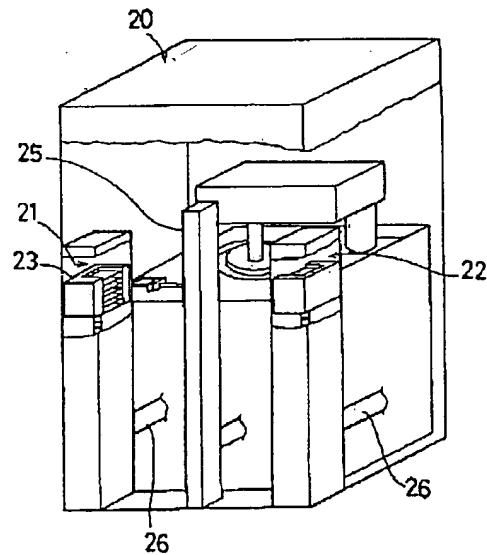
(57)Abstract:

PURPOSE: To obtain a semiconductor device manufacturing device which is reduced in dust generating amount by providing a pressure control mechanism which maintains a first space in which semiconductor devices are processed and which is surrounded by partition walls at an atmosphere pressure which is different from that around the manufacturing device.

CONSTITUTION: An effect can be obtained when the pressures P_{21} and P_{22} in second and third spaces 21 and 22 and the atmosphere pressure P_{20} in the space surrounded by partition walls 20 are reduced stepwise with respect to the atmosphere pressure P_0 in a clean room in the order of P_{21} , P_{22} , and P_{20} , because the dust content in the atmospheres increases in this order and no high cleanliness atmosphere flows into its adjacent low cleanliness atmosphere. Namely, such a first effect that the dust produced at the time of processing an MCP or MCL does not flow into the clean room atmosphere is obtained. This effect can be further emphasized when the second and third spaces 21 and 22 are provided between the space surrounded by the partition walls 20 and clean room. Therefore, flowing of the dust produced at the time of processing semiconductor substrates to the

periphery of this semiconductor device manufacturing device is prevented.

COPYRIGHT: (C)1994,JPO&Japio



$$P_{21} > P_{22} > P_{20}$$

$$P_0 > P_{21,22} > P_{20}$$

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-252110

(43)公開日 平成6年(1994)9月9日

(51)Int.Cl.⁴

H 0 1 L 21/304
21/02

識別記号

3 2 1 E
D

庁内整理番号

8832-4M

F I

技術表示箇所

審査請求 有 請求項の数 4 O L (全 7 頁)

(21)出願番号 特願平5-39049

(22)出願日 平成5年(1993)2月26日

(71)出願人 591230295

エヌティティエレクトロニクステクノロジー株式会社
東京都武蔵野市吉祥寺本町1丁目14番5号

(71)出願人 591222670

土肥 俊郎
埼玉県所沢市美原町3-2970-53

(71)出願人 000116127

ロデール・ニッタ株式会社
大阪府大阪市中央区本町1丁目8番12号

(74)代理人 弁理士 辻本 一義

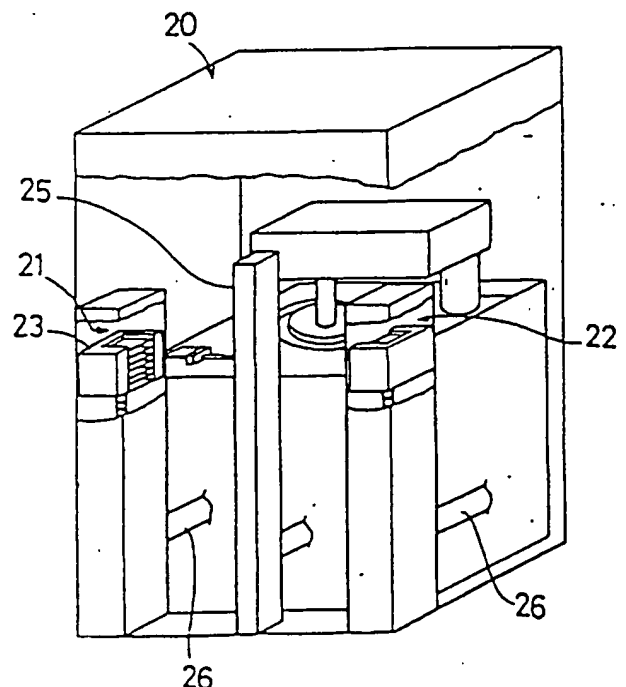
最終頁に続く

(54)【発明の名称】 半導体デバイス製造装置

(57)【要約】

【目的】 低発塵化しうる半導体デバイス製造装置を提起すること。

【構成】 半導体デバイスが形成されつつある半導体基板に対して、(メカノケミカル)ポリッシングまたは(メカノケミカル)ラッピングによる加工を施すことができ、該半導体基板の加工が行われる隔壁で隔てられた第一の空間は、装置周辺の圧力に比して異なった圧力雰囲気を保つことが可能な圧力制御機構を有すること。



1

【特許請求の範囲】

【請求項1】 半導体デバイスが形成されつつある半導体基板に対して、(メカノケミカル)ポリッシングまたは(メカノケミカル)ラッピングによる加工を施すことができ、該半導体基板の加工が行われる隔壁で隔てられた第一の空間は、装置周辺の圧力に比して異なった圧力雰囲気を保つことが可能な圧力制御機構を有することを特徴とする半導体デバイス製造装置。

【請求項2】 前記圧力制御機構は、隔壁で周辺と隔てられた加工の為の空間に低圧性の雰囲気を送り込む手段と、該空間の圧力をモニターする手段と、該空間の圧力が装置周辺の雰囲気圧力より所定の圧力差となるべく該空間の雰囲気を排気する手段、とを少なくとも備えたことを特徴とする請求項1記載の半導体デバイス製造装置。

【請求項3】 前記被加工半導体基板が複数枚保持された第一のカセットを装具するための隔壁で隔てられた第二の空間と、(メカノケミカル)ポリッシングまたは(メカノケミカル)ラッピングによる加工が施された半導体基板を収納する第二のカセットを装具するための隔壁で隔てられた第三の空間とを有し、さらに、該第二及び第三の空間の圧力を制御する機構を有することを特徴とする請求項1又は2記載の半導体デバイス製造装置。

【請求項4】 第二の空間と第三の空間、さらに、第一のカセットと第二カセットを兼ねることを特徴とする請求項3記載の半導体デバイス製造装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、半導体デバイス製造装置に関し、更に詳細には、半導体基板に形成される半導体デバイスの加工において、加工の進歩に伴って生ずる該半導体基板の表面凹凸を平滑に或いは平坦にする半導体デバイス製造装置を低発塵化する新規な構造を提案／実現したものであり、従来、困難とされた低発塵雰囲気に管理されたクリーンルーム内への直接装置配置を可能とし、その結果、サブミクロンルールLSIの歩留りが向上するだけでなく、前後の工程を処理する装置の真近におくことで作業の効率化が達成される半導体デバイス製造装置に関するものである。

【0002】

【従来の技術】本発明は、代表的な半導体デバイスであるSi-LSIの製造に適用すると極めて効果が高い。しかし、Si-LSIに限ったものでなく、GaAs、GaP、或いはGaAlAs、更にSi上にヘテロ成長を行ったこれらの化合物半導体デバイスの製造にも適用できることは言を待たない。以下の説明では、簡略化の為、本発明の適用で大きな効果が得られるサブミクロンルールのパターンを有するSi-LSI(例えば、1.0μm DRAMや1.0μm CMOS)に關

2

制限されるものではない。

【0003】本発明が改善せんとする半導体基板の表面の平滑化や平坦化は、以下の点で極めて重要であった。すなわち、16Mb DRAMに代表される数百万個以上のトランジスタや抵抗を形成した半導体基板の表面は0.1~2.0μm程度の表面段差が避けられず、一方、これら表面段差相互の間隔も0.1~2.0μm程度と微細であり、窪みの幅と深さの比：アスペクト比が1を超えることは少なくない。このようなアスペクト比の大きな窪みが、半導体デバイスの製造に及ぼす影響は大変なものがある。

【0004】以下、具体的な事例を取り上げて説明する。図3乃至図5は、窪みのアスペクト比(深さ/幅)が1以上となる代表的な半導体デバイスであるBi-CMOSLSIを例にとり、その製造工程の断面形状を示したものである。図3に示すように、一般に、CMOS(相補型金属-酸化物-半導体)トランジスタは、P型の半導体基板1の中にN型のNウェル2、P型のPウェル3を設け、それぞれのウェル中にPチャネルトランジスタ4のソース45、ドレイン46、ゲート酸化膜47、ポリSi又はポリサイドからなるゲート電極48、ソース、ドレイン、ゲート等と電気的な接触を行う配線電極49が形成され、電気伝導性は逆となるが、n型トランジスタ5のソース55、ドレイン56、ゲート酸化膜57、ポリSi又はポリサイドからなるゲート電極58、電気的な接触を行う電極配線59が同様に形成される。尚、両タイプのトランジスタの閾値電圧 V_{TH} を所望の値にするため、n型或いはp型の不純物をゲート膜の下のチャネル領域に添加するチャネルドーピングを行うことも一般的である。

【0005】一方、バイポーラトランジスタ6は、基板1中に埋込層61、電氣的に他のデバイスを分離する分離層62、コレクタ63、ベース64、エミッタ65、ベース、コレクタのそれぞれと電気的な接触を行う配線電極66が形成される。尚、バイポーラトランジスタはその製造工程において添加する不純物の導電型を逆にすることも可能であるが、本例では、エミッタがN型となるような構成が示されている。また、コレクタ63は、埋込層61と同様、電極配線66と接する部分に高不純物濃度のコンタクト補償拡散を入れることが一般的である。さらに、電極配線49、59、66等が半導体基板と電氣的に接続する穴をコンタクト穴7と称する。

【0006】半導体デバイスを相互に電氣的に接続してLSIとしての機能を果たさせるためには、同図中に示されたゲート電極48、58、電極配線49、59、66等を結ぶ新たな配線が必要とされる。図4に示すように、不必要な配線との電氣的な絶縁性を維持しつつ必要な配線間をつなぐため、先のゲート電極や電極配線の上

3

配線間の層間膜8として堆積される。この層間膜8は電極と電極の隙間やコンタクト穴7など高アスペクト比を示す窪み部の真上においては、充分ないわゆるステップカバリッジ性を得ることができず、空隙9を形成する。

【0007】図5に示すように、先の電極相互を必要に応じて接続するため、層間膜8にリソグラフィ工程とそれに続くドライエッチング工程等を用いた微細加工を施し、スルーホール10を形成する。スルーホール10を経由して必要な配線間をつなぐため、新たな電極配線用金属11がいわゆるスパッタリング法やCVD法などを用いて堆積される。この電極配線用金属11は、先の高アスペクト比を示す窪み部の真上や先のスルーホール10の真上においては、充分なステップカバリッジ性が得られず、金属膜厚の薄い部位12や甚だしい場合には金属膜が途切れた部位13が発生し、LSIの歩留りを著しく低下させることが知られている。

【0008】このような問題の対策としては、種々の方法が提案されている。その一つは、コンタクト穴7やスルーホール穴10にCVD法などを用いて金属や低抵抗のシリサイドを選択成長させる試みである。この方法は、選択成長そのものの再現性が悪いこと、電極と電極との間にできる高アスペクト比の空隙には何ら対策とならないこと、などから部分的な適用にとどまっている。

【0009】他の一つは、層間膜8上にホトレジスト膜等を厚く、かつ平らに塗布して、ホトレジスト膜と層間膜8の加工速度がほぼ等しくなるような条件でエッチングして平坦性を得る、いわゆるエッチバック法である。この方法も、層間膜8とホトレジスト膜とをほぼ等しくなるような速度で加工できる条件が極めて狭いこと、および、塗布に際して生ずるホトレジスト膜厚の下地パターン依存性が避けられないことから、部分的な適用にとどまっている。

【0010】以上、数例が示すように、サブミクロンレベルのLSI加工工程において生ずる高アスペクト比の表面段差は、LSIの歩留りを損ねるだけでなく、選択成長技術やエッチバック技術など不安定で制御性の悪い技術が必要としたため、製造コストの上昇も避けられなかった。これに対して、半導体基板1の表面を均一に加工するいわゆるメカノケミカルポリッシング（以下、MCPと記す）、又は、いわゆるメカノケミカルラッピング（以下、MCLと記す）技術を、層間膜の平坦化加工に用いる手法が提案されている。

【0011】これは、物質と物質の摩擦現象或いは硬い物質による柔らかい物質の研磨現象と同時に、化学的なエッチング現象を同時に生ぜしめるものであり、その具体的な事例を説明する。先の図3及び図4と同様な半導体基板の加工を行うところまではほぼ同様である。この際、層間膜8を従来とは異なり、例えば1 μ m程度厚く

4

表面からMCP又はMCL技術で除去する。その際、完全な平坦化にこだわらなければ、厚み14は先の空隙9の深さを必ずしも超える必要はない。むしろ除去量が減れば、堆積する層間膜8'の厚みを薄くすることができ、好都合な場合も生ずる。このようにして平坦化された層間膜8''は、図7に示すように、スルーホール加工の為にホトリソグラフィとドライエッチングを容易に行うことができ、スルーホール10'を設け、然る後、上層の配線（本事例では第二層配線）11'を形成する。この際、図4及び図5の工程で見られたような空隙9がないため、結果として上層配線に生じていた部位12や部位13（図5参照）の発生を抑えることが可能である。

【0012】このように効果が大きい「MCP」及び「MCL」の技術であるが、加工そのものが高発塵性であるという大きな難点を有していた。この点について、以下、事例を挙げて詳細に説明する。図8及び図9は、この種の加工に用いられる代表的な装置：片面ポリッシングマシン15である。図9には、被加工物のウェハを保持する方法と、研磨クロスとの位置関係を示す。ここに保持されたウェハは、研磨材（例えばSiO₂粒子を弱アルカリ性溶剤に分離させたもの）を浸した研磨布（例えば人工皮革、不織布など）に押さえつけられながら、所定の相対速度（例えば数10～100m/分）で運動を行う。すると、図3乃至図5に示したSiO₂が主成分の薄膜は数100～数1000Å/分の速度でメカノケミカル反応をともなって除去される。さて、この時、研磨剤の微粒が高速で運動する研磨布及び被加工物（ここではウェハ）から飛散することは避けられない。

【0013】この時の塵芥量をクリーンルームの環境基準に照らして評価すると、クラス10,000（0.5 μ m以上の粒子がft³中に10,000個）以下になることはなく、加工が進むに従って研磨布の摩耗も進み、クラス10,000を超える事例も認められた。このような発塵は、図3乃至図5の工程が実施される環境がスーパークリーンルームであり、クラスが1、甚だしくても100どまりであることを考慮すると致命的である。因みに、16MbDRAMに代表される超LSIはクラス100の環境下で製造することは困難である。換言すると、図6及び図7の工程は16MbDRAMに代表されるサブミクロンLSIの加工に不可欠な平坦化技術を供しつつも、装置自身が持つ高発塵性の為に「画餅」に帰していた。

【0014】この欠点を克服する為、MCP及びMCLの装置をクリーンベンチ16に入れて使用することが行われている。使用の実例を図8に破線で明示した。クリーンベンチ16は、天井のフィルター17からクラス1～10の高清浄な空気を吹き出すと共に、ベンチ下部の

5

ある。然るに、ベンチ天井から吹き出す空気の初速度は $2 \sim 4 \text{ m/sec}$ ($120 \sim 240 \text{ m/分}$)、一方、ウェハ及び研磨布の運動で飛散する微粒子は運動の接線方向成分であるから数 100 m/分 以上となる。両者の速度を合成すれば明らかなように、研磨面から飛散する微粒子をベンチ内にとどめておくことは困難である。

【0015】この理由は、クラス1~10のクリーンルーム雰囲気比べて、クラス100, 000のベンチ内雰囲気圧力を低圧に保つ必要があり、この為、フィルター17から吹き出す高純度空気初速度に大きな制約を受けるだけでなく、排気管18の排気速度を極めて大きくする必要があるからである。原理的には、被加工物或いは研磨布のベンチ前面に向かう運動成分が 5 m/分 で、ベンチ前面の開口部面積が $S_0 \text{ m}^2$ であれば、「 $s_0 \text{ m}^2 / \text{分}$ 」の排気速度を実現せねばならず実用的でない。

【0016】この改良案として、ベンチの前面19にスライドスクリーン(図示せず)を設けることは、ベンチ内の発塵を外に漏らさないようにする効果が若干認められるものの完全ではない。何故ならば、極めて小さな開口部を高速の気体が抜けると、開口部に沿った逆の空気の流れが生じることは流体力学においては良く知られた事実であり、この逆流する空気がベンチ内の塵を外に排出してしまうためである。このように、MCP及びMCLはサブミクロンレベルのLSIに必要な加工方法を与えてながら、装置そのものが持つ発塵性の為に加工方法の主流とはなり得ていなかった。

【0017】

【発明が解決しようとする課題】そこでこの発明は低発塵化しうる半導体デバイス製造装置を提起することを課題とする。

【0018】

【課題を解決するための手段】前記課題を解決するためこの発明では次のような技術的手段を講じている。

(請求項1記載の発明の手段) この発明の半導体デバイス製造装置は、半導体デバイスが形成されつつある半導体基板に対して、(メカノケミカル) ポリッシングまたは(メカノケミカル) ラッピングによる加工を施すことができ、該半導体基板の加工が行われる隔壁で隔てられた第一の空間は、装置周辺の圧力に比して異なった圧力雰囲気を保つことが可能な圧力制御機構を有することを特徴とする。

【0019】また、前記圧力制御機構は、隔壁で周辺と隔てられた加工の為に空間に低圧性の雰囲気を送り込む手段と、該空間の圧力をモニターする手段と、該空間の圧力が装置周辺の雰囲気圧力より所定の圧力差となるべく該空間の雰囲気を排気する手段、とを少なくとも備えたとしてもよい。

(請求項3記載の発明の手段) この発明の半導体デバイ

6

が複数枚保持された第一のカセットを装具するための隔壁で隔てられた第二の空間と、(メカノケミカル) ポリッシングまたは(メカノケミカル) ラッピングによる加工が施された半導体基板を収納する第二のカセットを装具するための隔壁で隔てられた第三の空間とを有し、さらに、該第二及び第三の空間の圧力を制御する機構を有することを特徴とする。

【0020】また、第二の空間と第三の空間、さらに、第一のカセットと第二カセットを兼ねることとしてもよい。

【0021】

【作用】上記の手段を採用した結果、この発明は以下のような作用を有する。

(請求項1記載の発明の作用) 装置周辺の圧力雰囲気に比して半導体基板の加工が行われる隔壁で隔てられた第一の空間の圧力雰囲気を低く設定すると、半導体基板の加工で発生した塵が装置周辺に流出しない。

(請求項3記載の発明の作用) 上記作用を有すると共に次の作用を有する。ウェハを格納した第一のカセットを装填したり回収する時は P_0 (周辺装置の圧力) $> P_{21}$ (第二の空間の圧力) とし、当該作業が終了した時点で直ちに $P_0 = P_{21}$ に戻す。同様に、第二の空間の第一のカセットからウェハを第一の空間に出す時は、 $P_{21} > P_{20}$ (第一の空間の圧力) とするが、当該作業の終了の時点で直ちに $P_{21} = P_{20}$ に戻す。同様に、第三の空間の第二のカセットへウェハを第一の空間から入れる時は P_{22} (第三の空間の圧力) $> P_0$ に戻すとウェハの加工中の P_{20} はクリーンルーム雰囲気圧力と同じ程度を保つことができ、加工に用いる溶媒の過剰な蒸発を防止できる。

【0022】

【実施例】従来の装置が持つ根本的な問題を新規な構成の提案で解消した。以下、具体的な事例を図1に示した模式図を基に説明する。本発明の最も大きな特徴は、ウェハに施すMCP又はMCLの空間を、隔壁20で他の空間から隔離してカプセル化することにある。この隔離された第一の空間と隣接させて、ウェハを該加工空間に送り込む(以下、ロードと表記)ための第二の空間21、いわゆる前室、及びウェハを該加工空間から回収する(以下、アンロードと表記)ための第三の空間22を形成する。

【0023】第二の空間21、いわゆる前室を設けることは以下に述べるように大きな効果がある。尚、当然であるが、第二の空間21と第三の空間22の双方とも隔壁20及び外のクリーンルームと隔てる為の隔壁を有し、これらの隔壁は、ウェハのロード時やアンロード時には隔壁20との隔壁が、また被加工ウェハを納めたカセット23を装置に装具したり回収する時はクリーンルームとの隔壁がそれぞれ開閉される。装置内部で第二の空間21からウェハを取り出して加工テーブル24に載

7

空間22に回収する機構部(例えば自動装填ロボット)25が組み込まれていることは、発塵性の被加工室と清浄なクリーンルームを完全に隔てることとなり、本発明の効果を一層増すものである。

【0024】さて、このようにカプセル化された空間でウェハのMCP或いはMCL加工を行うのであるが、隔壁20と、隔壁20で囲まれた第二の空間21、第三の空間22の三者とも目的に応じた雰囲気圧力制御が必要である。このため、隔壁20と、隔壁20で囲まれた第二の空間21、第三の空間22の三者ともクラスを著しく向上させた清浄雰囲気或いはフィルタ等で除塵されたN₂ガスなどの不活性雰囲気を送り出す機構(図示せず)、これら三空間の雰囲気を排気する機構(一部の排気26のみ図示)、これら三空間の雰囲気圧力をモニターとして所定の圧力に保つ機構がそれぞれ具備される。但し、経済化を狙い、圧力のモニター及び所定の圧力に保つ機構は簡略化することは可能である。

【0025】先ず、本発明が有する第一の圧力制御の考えを説明する。クリーンルームの雰囲気圧力P_oに対して第二の空間21及び第三の空間22の雰囲気圧力P₂₁₂₂、さらに隔壁20で囲まれた空間の雰囲気圧力P₂₀、の順に圧力を低くする設定が効果を上げる。これは、この順に高圧雰囲気となるため、高圧雰囲気が隣接する低圧雰囲気に流れ込まない、すなわち、結果としてMCP或いはMCL加工で発生した塵がクリーンルーム雰囲気に流出しないという第一の効果を生む。この結果は、隔壁20で囲まれた空間とクリーンルームの間に第二の空間21及び第三の空間22を設けたことで一層強調されることとなる。

【0026】次に、第三の圧力制御の考え方を説明する。上記のような雰囲気圧力設定とすると、隔壁20で囲まれた空間は大気圧より低く設定されざるを得ない。このような減圧下では、研磨剤を溶かした溶剤(通常、一部揮発性成分が含まれる)の蒸気圧が相対的に高くなり、過剰の蒸発が発生してしまう。これを防ぐため、 $P_o > P_{2122} > P_{20}$ なる圧力制御を、時間と共に変化させることが本発明の構造では可能である。すなわち、ウェハを格納したカセットを装填したり回収する時は $P_o > P_{2122}$ とし、当該作業が終了した時点で直ちに $P_o = P_{21}$ に戻す。同様に、第三の空間22或いはカセット23からウェハを加工テーブル24に出し入れする時は、 $P_{2122} > P_{20}$ とするが、当該作業の終了の時点で直ちに $P_{2122} = P_{20}$ に戻す。同様に、第三の空間22或いはカセット23からウェハを加工テーブル24に出し入れする時は、 $P_{2122} > P_o$ に戻す。

【0027】このような一連の手順を経ることでウェハの加工中のP₂₀はクリーンルーム雰囲気圧力と同じ程度を保つことができる。このようなウェハの移送と一連の雰囲気圧力制御はMCP或いはMCL加工で発生した

8

に用いる溶媒の過剰な蒸発を防止できるという第二の効果を生む。

【0028】さらに、本発明の構成を活用することで別の利点を生むことができる。MCP或いはMCLの加工を行う際、P₂₀を大気圧より高く設定することで先の溶媒の相対的な蒸気圧が小さくなり、過剰な蒸発を防止することが可能となる。また、図8及び図9の如き開放された装置構成では、蒸発が甚だしく使用が困難であったり、人体への影響が懸念されて使用が見送られていた。新たな溶媒の使用をも可能とするものである。このような溶媒の使用は、隔壁20で囲まれた空間の雰囲気に、所望の溶媒を飽和蒸気圧まで含ませることで安定した特性とすることができ、本発明が有する第三の効果である。

【0029】以上の説明においては、第二の空間21と第三の空間22を別々に設けた構成としたが、一方を割愛して経済化を図ることも可能である。また、自動装填ロボットの装着を見送り、人手で加工テーブル24にウェハをセットすることも可能である。その場合はウェハをセットする為の開口部が隔壁20に設けられる必要があり、当然のことであるが第二の空間21及び第三の空間22は不要となる。また、研磨クロス等の消耗資材を交換する為の第4の空間を設けることも可能である。

【0030】以上、述べたように、本発明の構成を取れば、サブミクロンLSIの開発、生産に不可欠な半導体基板の平坦化加工を容易に、かつ、高 cleanlinessなクリーンルーム雰囲気への悪影響を与えることなく実施できるという大きな利点を有する。また、加工時の雰囲気圧力及び気体分圧の制御を行うことにより、従来の方法では得られなかった高精度、高効率な加工を可能とするものである。

【0031】尚、本明細書では、Si半導体を例に取り説明したが、これに限定されるものではなく、化合物半導体基板やSiと化合物半導体を組み合わせた複合半導体基板の加工に用いることが可能なのはもちろんである。

【0032】

【発明の効果】この発明は上述のような構成を有するものであり、次の効果を奏する。

(請求項1記載の発明の効果) 半導体基板の加工で発生した塵が装置周辺に流出しないので、低発塵化しうる半導体デバイス製造装置を提供することが出来る。

(請求項3記載の発明の効果) 上記効果を有すると共に次の効果を有する。

【0033】加工に用いる溶媒の過剰な蒸発を防止できるので、蒸発が甚だしく使用が困難であったり人体への影響が懸念されて使用が見送られていた新たな溶剤の使用をも可能となる。

【図面の簡単な説明】

9

説明する斜視図。

【図2】図1の半導体デバイス製造装置の上面図。

【図3】製造工程における半導体デバイスの断面形状の説明図。

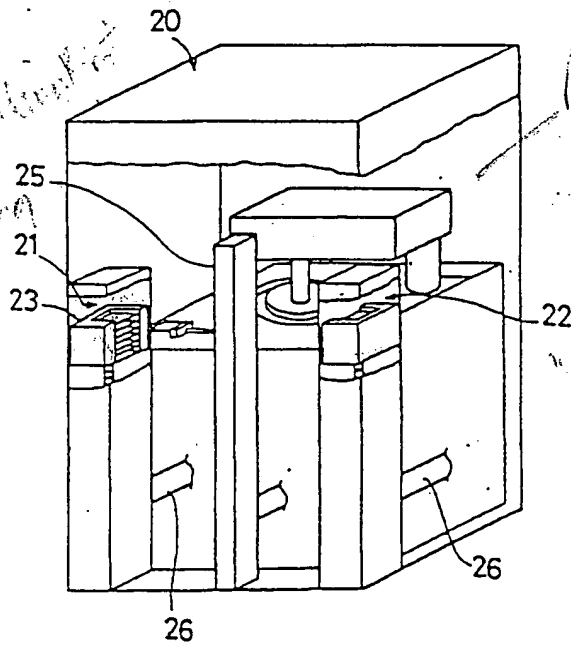
【図4】製造工程における半導体デバイスの断面形状の説明図。

【図5】製造工程における半導体デバイスの断面形状の説明図。

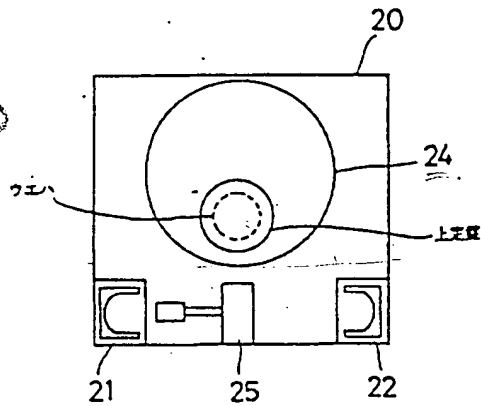
【図6】製造工程における半導体デバイスの断面形状の説明図。

【図7】製造工程における半導体デバイスの断面形状の

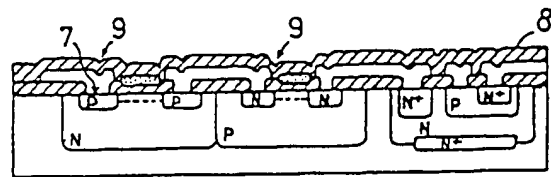
【図1】



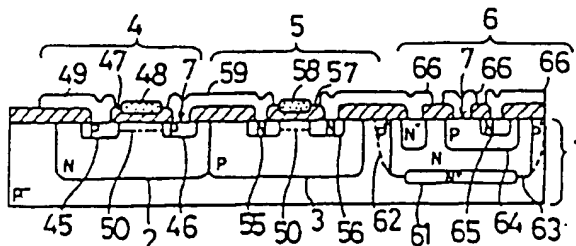
【図2】



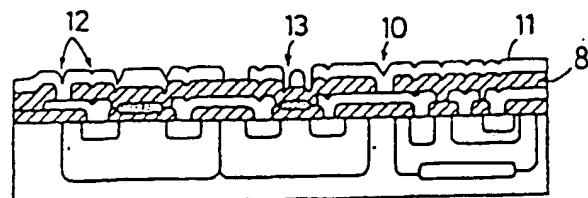
【図4】



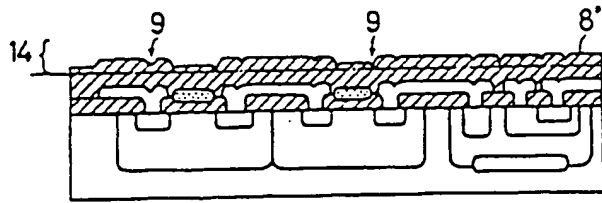
【図3】



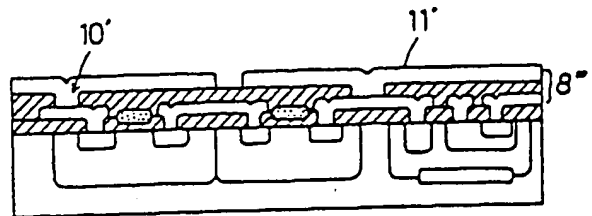
【図5】



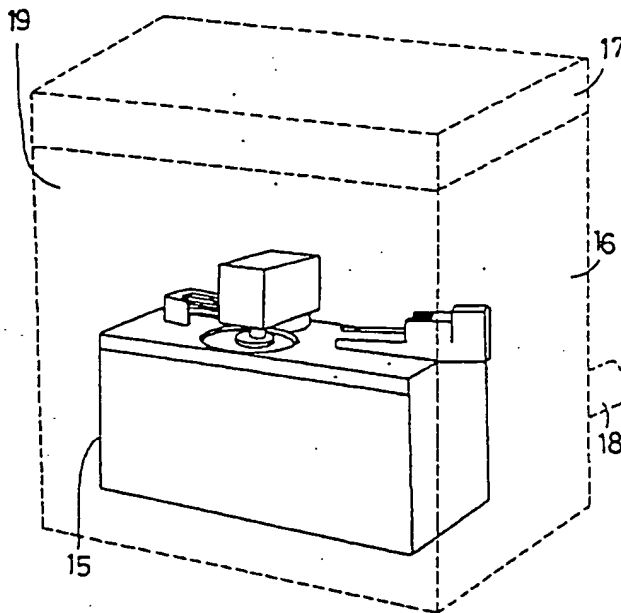
【図6】



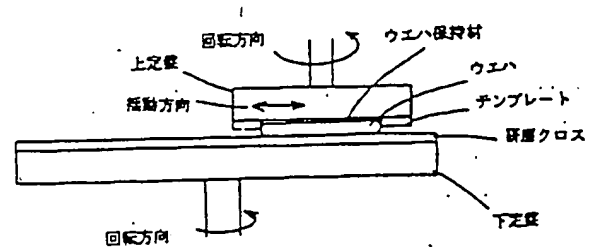
【図7】



【図8】



【図9】



フロントページの続き

(72)発明者 桜井 哲真
神奈川県厚木市森の里若宮3の1 エヌテ
ィティ厚木研究開発センター内

(72)発明者 土肥 俊郎
埼玉県所沢市美原町3-2970-53
(72)発明者 林 米次
大阪府大阪市中央区本町1丁目8番12号
ロデール・ニッタ株式会社内